

Rec'd PCT/PTO 18 OCT 2006

10/566044 PCT/JP2004/011130

日 本 国 特 許 庁

JAPAN PATENT OFFICE

25.10.2004

REC'D 18 NOV 2004

別紙添付の書類に記載されている事項は下記の特願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 7 月 2 8 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 2 0 2 7 3 5
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 2 0 2 7 3 5]

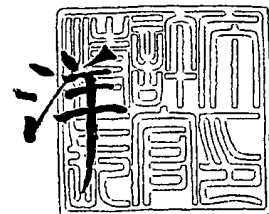
出 願 人 京セラ株式会社
Applicant(s):

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2 0 0 4 年 7 月 2 2 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



出証番号 出証特 2 0 0 4 - 3 0 6 4 1 0 2

【書類名】 特許願

【整理番号】 0000316931

【提出日】 平成15年 7月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 41/083

【発明者】

【住所又は居所】 鹿児島県国分市山下町1番1号 京セラ株式会社鹿児島
国分工場内

【氏名】 小野 進

【特許出願人】

【識別番号】 000006633

【住所又は居所】 京都府京都市伏見区竹田鳥羽殿町6番地

【氏名又は名称】 京セラ株式会社

【代表者】 西口 泰夫

【手数料の表示】

【予納台帳番号】 005337

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 積層型電子部品とその製造方法

【特許請求の範囲】

【請求項1】 複数のセラミック層と複数の内部電極とを交互に積層してなる柱状積層体と、該柱状積層体の側面に設けられ、前記内部電極が一層おきに交互に接続される一対の外部電極とを具備してなる積層型電子部品であって、前記内部電極とセラミック層との隙間が $2\mu\text{m}$ 以下である部分が、実質的に活性な部分の50%以上であることを特徴とする積層型電子部品。

【請求項2】 前記セラミック層が圧電セラミックスであることを特徴とする請求項1記載の積層型電子部品。

【請求項3】 請求項1または2記載の積層型電子部品の製造方法であって、複数のセラミック層と複数の内部電極とを交互に積層してなる柱状積層体を作製する工程と、該柱状積層体を所望の寸法に加工する工程と、該柱状積層体を熱処理する工程と、該柱状積層体の側面に、導電性ペーストを塗布する工程と、該導電性ペーストを熱処理し、前記内部電極と一層おきに交互に接続される一対の外部電極を作製する工程と、前記外部電極に電圧を印加し、格子定数の比である c/a の変化率が0.5%以下となるように分極処理を行う工程とを具備することを特徴とする積層型電子部品の製造方法。

【請求項4】 前記熱処理の工程において、熱処理の最高温度からの冷却速度が、前記セラミック層のキュリー温度を t (°C)としたとき、 $t/3$ (°C/分)以下であることを特徴とする請求項3記載の積層型電子部品の製造方法。

【請求項5】 前記熱処理の工程において、熱処理からの冷却時に、前記セラミック層のキュリー温度を t (°C)としたとき、 $1.2t \sim 0.8t$ の温度域の冷却速度が $t/3$ (°C/分)以下であることを特徴とする請求項3記載の積層型電子部品の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、積層型電子部品およびその製造方法に関し、例えば、自動車用燃料

噴射弁、光学装置等の精密位置決め装置や振動防止用の駆動素子等に関するものである。

【0002】

【従来の技術】

従来より、積層型電子部品として、例えば、電歪効果を利用して大きな変位量を得るために、圧電体と内部電極を交互に積層した積層型圧電素子が提案されている。積層型圧電素子には、同時焼成タイプと圧電磁器と内部電極板を交互に積層したスタックタイプの2種類に分類されており、低電圧化、製造コスト低減の面から考慮すると、同時焼成タイプの積層型圧電素子が薄層化に対して有利であるために、その優位性を示しつつある。

【0003】

同時焼成タイプの積層型圧電素子は、図3に示すように、積層型セラミックコンデンサと同様に、従来、圧電材料を含有するグリーンシート21と内部電極材料を含有する内部電極パターンが交互に積層された活性部の上下面に、上記セラミックグリーンシート21を複数積層して形成された不活性部を積層し、これを脱脂、焼成することで積層型圧電素子を作製していた。

【0004】

ところで、近年においては、例えば、小型の積層型圧電アクチュエータで大きな圧力下において大きな変位量を確保するため、より高い電界を印加し、長期間連続駆動させることが行われている。

【0005】

【特許文献1】

特開平4-299588号公報

【0006】

【特許文献2】

特開平5-217796号公報

【0007】

【発明が解決しようとする課題】

しかしながら、上記特許文献1の従来の積層型電子部品では、内部電極内に、

内部電極の厚さの $1/2 \sim 1$ 倍の粒径にコントロールされた圧電セラミック粉末を $10 \sim 20\%$ 含むことにより、セラミック層間を柱状に繋ぐことで、焼成後では内部電極とセラミック層との界面に剥離の発生を防止しているが、内部電極と外部電極の接続工程の熱処理時の冷却の速度が速いため、図5に示すように、内部電極2とセラミック層1との熱膨張係数の差により、柱状部分51の存在しない部分では、界面のほぼ全面にわたり内部電極とセラミック層との間に $2\mu\text{m}$ より大きな隙間Tが 50% 以上発生していた。これにより、より高い電界を印加し、長期間連続駆動させるとデラミネーションが発生するという問題があった。

【0008】

また、上記特許文献2の従来の積層型電子部品では、素子の機械加工による切断面（外部電極形成面）を1回目の焼成時より高い焼成温度で熱処理することにより、切断時に生じたショートの原因になるマイクロクラックを解消しているが、焼成温度よりも高い温度による熱処理時の冷却の速度が速いため、内部電極とセラミック層との熱膨張係数の差により界面のほぼ全面にわたり剥離が発生していた。これにより、より高い電界を印加し、長期間連続駆動させるとデラミネーションが発生するという問題があった。

【0009】

本発明は、デラミネーション、クラック等の発生を抑制することができ、高信頼性が得られる積層型電子部品の製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】

本発明の積層型電子部品は、複数のセラミック層と複数の内部電極とを交互に積層してなる柱状積層体と、該柱状積層体の側面に設けられ、前記内部電極が一層おきに交互に接続される一対の外部電極とを具備してなる積層型電子部品であって、前記内部電極とセラミック層との隙間が $2\mu\text{m}$ 以下である部分が、実質的に活性な部分の 50% 以上であることを特徴とする。ここで実質的に活性な部分とは、任意の2層の内部電極が積層方向に重畳する部分のことである。即ち、内部電極の正極と負極とがそれぞれ重なる部分のことを指す。

【0011】

また、本発明の積層型電子部品は、セラミック層が圧電セラミックスであることを特徴とする。

【0012】

また、本発明の積層型電子部品の製造方法は、複数のセラミック層と複数の内部電極とを交互に積層してなる柱状積層体を作製する工程と、該柱状積層体を所望の寸法に加工する工程と、該柱状積層体を熱処理する工程と、該柱状積層体の側面に、導電性ペーストを塗布する工程と、該導電性ペーストを熱処理し、前記内部電極と一層おきに交互に接続される一対の外部電極を作製する工程と、前記外部電極に電圧を印加し、格子定数の比である c/a の変化率が 0.5% 以下となるように分極処理を行う工程とを具備することを特徴とする。

【0013】

また、本発明の積層型電子部品の製造方法は、熱処理の工程において、熱処理の最高温度からの冷却速度が、前記セラミック層のキュリー温度 t (°C) に対し、 $t/3$ (°C/分) 以下であることを特徴とする。

【0014】

また、本発明の積層型電子部品の製造方法は、熱処理の工程において、熱処理のからの冷却時に $1.2t \sim 0.8t$ の温度域の冷却速度が $t/3$ (°C/分) 以下であることを特徴とする。

【0015】

【発明の実施の形態】

図1は積層型圧電アクチュエータからなる積層型電子部品の一実施形態を示す縦断面図である。

【0016】

本発明の積層型圧電電子部品は、図1に示すように複数のセラミック層1と複数の内部電極2とを交互に積層してなる活性部8と、該活性部8の積層方向両端に設けられた不活性部9とからなる四角柱状の柱状積層体3を有している。

【0017】

セラミック層1は、例えば、チタン酸ジルコン酸鉛 $Pb(Zr, Ti)O_3$ (以下PZTと略す) 或いは、チタン酸バリウム $BaTiO_3$ を主成分とする圧電

セラミックス材料などが使用されるが、これらに限定されるものではなく、圧電性を有するセラミックスであれば何れでも良い。なお、この圧電体材料としては、圧電歪み定数 d_{33} が高いものが望ましい。

【0018】

また、セラミック層1の厚み、つまり内部電極2間の距離は、小型化及び高い電界を印加するという点から0.05～0.25mmであることが望ましい。これは、積層型圧電素子は電圧を印加して、より大きな変位量を得るために積層数を増加させる方法がとられるが、積層数を増加させた場合に活性部8中のセラミック層1の厚みが厚すぎるとアクチュエータの小型化、低背化ができなくなり、一方、活性部8中のセラミック層1の厚みが薄すぎると絶縁破壊しやすいからである。

【0019】

内部電極2は、図2に示すように矩形状をしており、図1に示したように、その一辺が柱状積層体3の対向する側面（外部電極形成面）に一層おきに露出しており、この内部電極2の一辺が露出する柱状積層体3の側面（対向する側面）にそれぞれ外部電極4が形成されている。これにより、それぞれの外部電極4に、内部電極2が一層おきに電氣的に交互に接続されている。

【0020】

そして本発明では、内部電極2とセラミック層1との隙間が $2\mu\text{m}$ 以下である部分が、実質的に活性な部分の50%以上であることが重要である。これにより、デラミネーション、クラック等の発生を抑制することができ、高信頼性を得ることができる。

【0021】

内部電極2とセラミック層1との隙間が $2\mu\text{m}$ 以下である部分が、実質的に活性な部分の50%より少ないと、高電界で駆動させた際に、隙間部分からクラックが発生し、信頼性を損なう危険があるからである。特に、クラックの起点を少なくし、高信頼性を得るために、内部電極2とセラミック層1との隙間が $2\mu\text{m}$ 以下である部分が、実質的に活性な部分の70%以上が望ましい。

【0022】

また、本発明の積層型電子部品の製造方法は、先ず、チタン酸ジルコン酸鉛 $Pb(Zr, Ti)O_3$ などの圧電体セラミックスの仮焼粉末（セラミック粉末）と、アクリル樹脂、ブチラル樹脂などの有機高分子からなる有機バインダと、可塑剤とを混合したスラリーを作製し、例えばスリップキャスト法により、図2に示すような厚み $50 \sim 250 \mu m$ のセラミックグリーンシート21を作製する。

【0023】

本発明では、セラミック層2をなすセラミックスの仮焼粉末の平均粒径は $0.3 \sim 0.9 \mu m$ であることが望ましい。セラミックスの仮焼粉末の平均粒径を $0.3 \mu m$ 以上とすることにより、セラミックグリーンシート21作製時の乾燥クラック発生防止のために必要な有機バインダを少量とすることができる。

【0024】

一方、セラミックスの仮焼粉末の平均粒径を $0.9 \mu m$ 以下とすることにより、焼成時の焼結を充分に行うことができ、磁器強度を高くでき、例えば積層型圧電素子において電界により発生する応力によるクラックの発生を抑制できる。

【0025】

また、セラミックグリーンシート21の厚みは絶縁強度を向上させるという理由から $90 \mu m$ 以上、特には、 $100 \mu m$ 以上であることが望ましい。また、セラミックグリーンシート21の取り扱い時のクラック発生を防止するために、有機バインダとしては、高い引張強度を有するブチラル樹脂を用いることが望ましい。

【0026】

次に、作製されたセラミックグリーンシート21を所定の寸法に打ち抜いた後、図2に示すようにセラミックグリーンシート21の片面に、内部電極2となる銀-パラジウム及び溶媒を含有する導電性ペーストをスクリーン印刷法により $1 \sim 10 \mu m$ の厚みに印刷し、乾燥させて内部導体パターン22を形成する。

【0027】

内部導体パターン22は矩形状をなしており、矩形状のセラミックグリーンシート21よりも小さい面積を有しており、内部導体パターン22の一辺はセラミ

ックグリーンシート 21 の一辺に重なり、他の辺には重ならないように形成されている。

【0028】

次に、図 3 に示すように、内部導体パターン 22 が形成されたセラミックグリーンシート 21 を、内部導体パターン 22 の一辺が積層成形体 23 の対向する側面に交互に露出するように所定の枚数だけ積層して活性部積層成形体 23 a を作製し、この活性部積層成形体 23 a の上下面に、導電性ペーストが印刷されていないセラミックグリーンシート 21 を複数積層してなる不活性部成形体 23 b を積層し、積層成形体 23 を作製する。

【0029】

尚、導電性ペーストが印刷されていないセラミックグリーンシート 21 を複数積層して、下側の不活性部積層成形体 23 b を作製した後、この不活性部積層成形体 23 b 上に、内部導体パターン 22 が形成された複数のセラミックグリーンシート 21 を所定の枚数だけ積層して活性部積層成形体 23 a を積層し、この活性部積層成形体 23 a 上に、導電性ペーストが印刷されていないセラミックグリーンシート 21 を複数積層して上側の不活性部積層成形体 23 b を積層し、積層成形体 23 を作製しても良い。

【0030】

尚、積層成形体 23 の製造方法については特に限定されるものではなく、セラミックグリーンシート 21 と内部導体パターン 22 が積層された積層成形体 23 が得られれば良い。

【0031】

次に、この積層成形体 23 を加熱を行いながら加圧を行い、積層成形体 23 を一体化し、柱状積層体成形体を得る。

【0032】

また、加圧する方法としては、積層精度を向上させるという点で静水圧による加圧が望ましく、その圧力は、20～120 MPa であることが望ましい。

【0033】

一体化された柱状積層体成形体は所定の大きさに切断された後、大気中におい

て400～800℃で5～40時間の脱脂を行ない、この後、900～1200℃において2～5時間で本焼成が行われ、図4に示すような柱状積層体33を得る。この柱状積層体33は、圧電体層41と内部電極42が交互に積層された活性部を有しており、その対向する側面には内部電極42の一辺が交互に露出している。

【0034】

つぎに、図1に示したように一対の外部電極4に0.1～3kV/mmの直流電圧を印加し、柱状積層体を分極処理することによって、製品としての積層型電子部品が完成する。ここで、格子定数の比である c/a の分極前後の変化率が0.5%以下であることが重要である。 c/a の変化率が0.5%より大きいと、分極時に発生する応力により、内部電極2とセラミック層1との間で剥離が起るためである。本発明では、分極時の応力による剥離を防止するため、 c/a の変化率は0.2%以下が望ましい。ここで、格子定数の比 c/a は、XRD回折パターンから面指数(200)のピークより格子定数 a を求め、同様に面指数(002)のピークより格子定数 c を求め、これらの値より c/a を求める。

【0035】

以上のような製造方法を用いることにより、内部電極2とセラミック層1との界面の隙間を2 μ m以下とすることが可能となる。内部電極2とセラミック層1との隙間が2 μ mより大きいと、高い電圧を印加した際に隙間からクラックが発生したり、長期間連続駆動を行うと隙間よりクラックが発生するため信頼性を低下させる。本発明の積層型電子部品は剥離を防止できるが、実際には工程での異物の混入により、一部に2 μ mより大きな界面の隙間が発生することもあるが、2 μ m以下の隙間の部分が活性部の50%以上あれば信頼性は確保できる。

【0036】

つぎに、図1に示すように、柱状積層体3の内部電極2の端部が露出した側面に銀を主成分とする銀ガラスペーストを塗布し、500～900℃の最高温度から、上記セラミック層1のキュリー温度 t (℃)に対して $t/3$ (℃/分)以下の速度で冷却する熱処理を行うことにより、外部電極4を形成する。これにより、内部電極2は互い違いに1層おきに外部電極4にそれぞれ接続される。

【0037】

冷却の速度を $t/3$ ($^{\circ}\text{C}/\text{分}$) より速くすると、内部電極2とセラミック層1との熱膨張係数の差から界面に応力が発生し、デラミネーションやクラックを発生させるためである。

【0038】

特に、 $1.2t \sim 0.8t$ ($^{\circ}\text{C}$) の温度内の冷却速度が $t/3$ ($^{\circ}\text{C}/\text{分}$) 以下であることが望ましい。キュリー温度より高い温度ではセラミック層1が立方晶であり、キュリー温度より低い温度では菱面体晶若しくは正方晶となるため、結晶層の変化する温度域においては冷却速度を速くすると結晶層が変化することによる内部応力によりデラミネーションが発生しやすくなるためである。

【0039】

ここで、内部電極2とセラミック層1との隙間を確認する手法として、超音波探傷による検査、若しくは破面のSEMを用いる。非破壊で容易に積層型電子部品の全体の隙間の分布を検査できるという点で超音波探傷を用いることが望ましいが、破面のSEMを観察することでも実際の隙間の大きさを確認できる。ここで、断面を鏡面に仕上げてSEMにより観察を行うと、実際に隙間が存在していても内部電極2の延性により隙間に内部電極2が延びてしまうため、破面で観察することが重要である。超音波探傷による検査により、積層方向に垂直な面を観察することで得られる結果から、実質的に活性な部分において、 $2\mu\text{m}$ 以上の剥離の発生している部分とそうでない部分との面積比により剥離の割合を算出する。

【0040】

超音波探傷による検査では、一度に複数層の断面を観察してもよい。一般に、超音波探傷による検査では焦点深度を深くすると、感度が低くなるため、積層数が多く、高さが5mm以上あるものに関しては、積層方向に垂直に2～5mmの高さに切断、分割し、それぞれを超音波探傷による検査を行うことにより、剥離の割合を算出することが望ましい。駆動による応力や電界による応力、座屈による応力等が発生し、破壊の起点となり得易い部分の一部分、特に積層方向の上下部分近傍および、中央部近傍の少なくとも一部分に、内部電極2とセラミック層

1との隙間が $2\mu\text{m}$ 以下である部分が、実質的に活性な部分の50%以上であればよい。

【0041】

さらに、上記形態では、図2に示したように、一つの積層成形体3により一つの柱状積層体を作製したが、一枚のセラミックグリーンシート21に複数の内部導体パターンを形成し、このセラミックグリーンシート21を複数積層して、多数の柱状積層体成形体を作製しうるマザーの積層成形体を作製し、この積層成形体を所定寸法で切断して、多数の図2に示すような柱状積層体成形体を一度に作製する積層型電子部品の製造方法に本発明を適用しても良いことは勿論である。

【0042】

尚、本発明の積層型電子部品は、内部電極2とセラミック層1との界面の剥離を防止するため、積層断面に占める内部電極2の割合が高いほど好適である。特に、内部電極2の割合が70%以上である場合に好適に用いられる。

【0043】

尚、本発明の積層型電子部品の製造方法は、積層型圧電トランス、積層型コンデンサ、積層型圧電アクチュエータ等の積層型電子部品の製造方法に好適に用いられる。特に高電界にて連続駆動される、圧電セラミックスを用いた積層型圧電アクチュエータにおいては、本発明の積層型電子部品の製造方法は好適に用いられる。

【0044】

【実施例】

チタン酸ジルコン酸鉛 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ からなるキュリー温度 300°C 、粒径 $0.7\mu\text{m}$ の圧電体セラミックスの仮焼粉末と、ブチラール樹脂からなる有機バインダと、可塑剤とを混合したスラリーを作製し、スリップキャストイング法により、厚み $150\mu\text{m}$ のセラミックグリーンシート21を作製した。

【0045】

このセラミックグリーンシート21の片面に、図2に示したように、内部電極2となる銀-パラジウムと、溶媒を含有する導電性ペーストをスクリーン印刷法により $4\mu\text{m}$ の厚みに印刷し、内部導体パターン22を形成した。内部導体パタ

ーン 22 が形成されたセラミックグリーンシート 21 を 30 枚積層し、この積層体の上下面に、導電性ペーストを塗布していないセラミックグリーンシート 21 を 5 枚ずつ積層し、図 3 に示すような構造の積層成形体 23 を作製した。

【0046】

次に、この積層成形体 23 を金型内に配置し、90℃で加熱を行いながら静水圧プレスにより 100 MPa の加圧を行い一体化した。

【0047】

これを 10 mm × 10 mm の大きさに切断した後、800℃で 10 時間の脱バインダを行い、1130℃において 2 時間本焼成を行い、柱状積層体 3 を得た。

【0048】

その後、活性部の対向する側面に、銀を主成分とする Ag ガラスペーストを塗布し、750℃で 1 時間の加熱後、表 1 に示す冷却速度でそれぞれ熱処理を完了することにより外部電極 4 を形成した。

【0049】

その後、正極及び負極の外部電極 4 に 3 kV/mm の直流電界を 15 分間印加して分極処理を行うことにより積層型圧電素子を作製した。このときの格子定数の比 c/a の変化率を表 1 に示す。

【0050】

【表 1】

試料No.	冷却速度 (℃/分)	c/a 変化率 (%)	破面の SEM による 界面の隙間 (μm)	超音波探傷による 2 μm 以下の剥離の割合 (%)	デラミネーションの 発生の有無
*1	150 (キュリー温度/2)	0.60	2.8	5	有り
2	100 (キュリー温度/3)	0.45	1.6	52	無し
3	50 (キュリー温度/6)	0.20	1.0	71	無し
4	10 (キュリー温度/30)	0.05	0.3	86	無し
5	5 (キュリー温度/60)	0.05	0.3	98	無し

* 印の試料 No は本発明外を示す。

【0051】

この表 1 から、冷却速度が本発明の範囲外である試料 No. 1 では冷却速度が速いため界面の隙間が 2.8 μm と大きく、また、2 μm 以下の部分が 2 % と少ないため、双眼顕微鏡による外観検査にてデラミネーションの発生が確認できた。これに対し、本発明による実施例である試料 No. 2 ~ 5 では界面のデラミネーションの発生も見られなかった。

【0052】

【発明の効果】

以上詳述した通り、本発明の積層型電子部品では、内部電極とセラミック層との隙間が $2\mu\text{m}$ 以下である部分を、実質的に活性な部分の50%以上とすることにより、デラミネーションの発生を抑制することができ、高信頼性を備えた積層型電子部品を提供することができる。

【図面の簡単な説明】

【図1】

本発明の積層型電子部品の側面図である。

【図2】

本発明の積層型電子部品を構成するセラミックシートの平面図である。

【図3】

本発明の積層型電子部品となる積層成形体の展開斜視図である。

【図4】

本発明の積層型電子部品となる積層構造体の断面図である。

【図5】

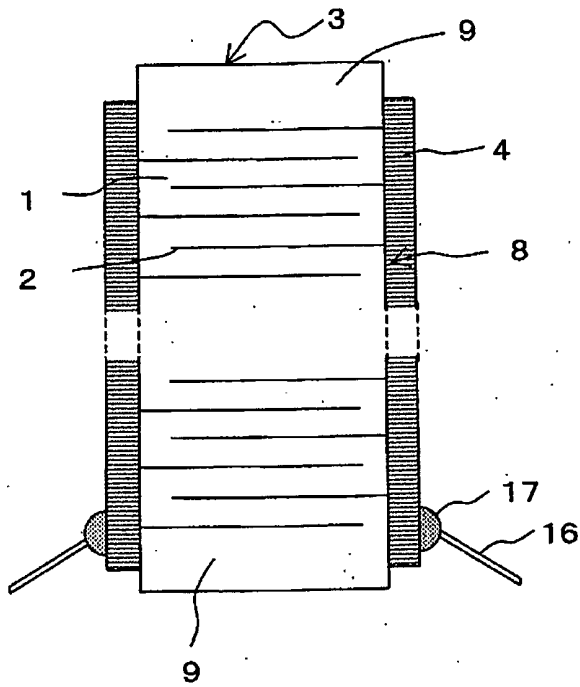
従来の積層型電子部品のセラミック層と内部電極間の欠陥を示す図である。

【符号の説明】

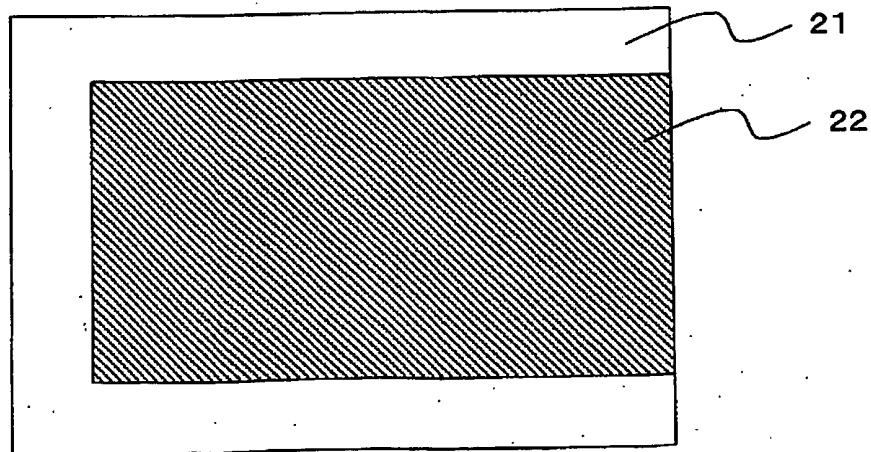
- 1・・・セラミック層
- 2・・・内部導体パターン
- 3・・・柱状積層体
- 4・・・外部電極
- 8・・・活性部
- 9・・・不活性部
- 21・・・セラミックグリーンシート
- 22・・・内部導体パターン
- 23・・・積層成形体

【書類名】 図面

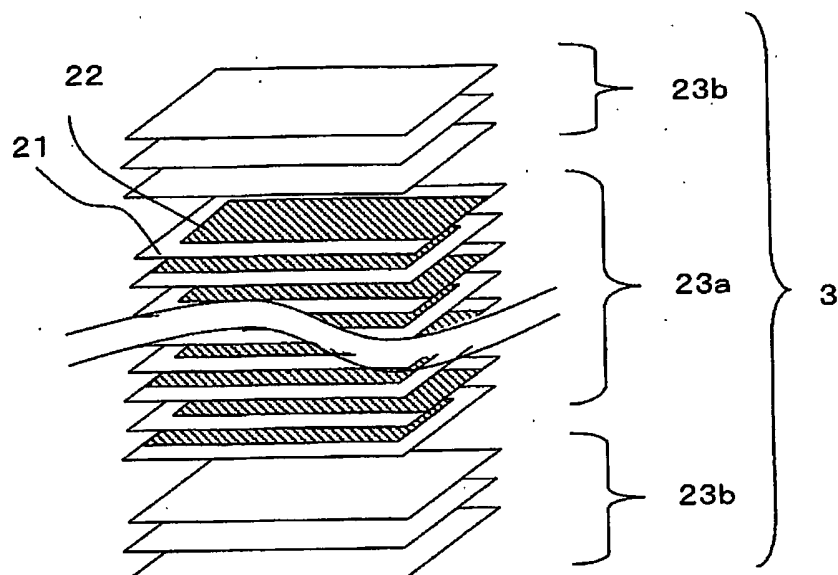
【図1】



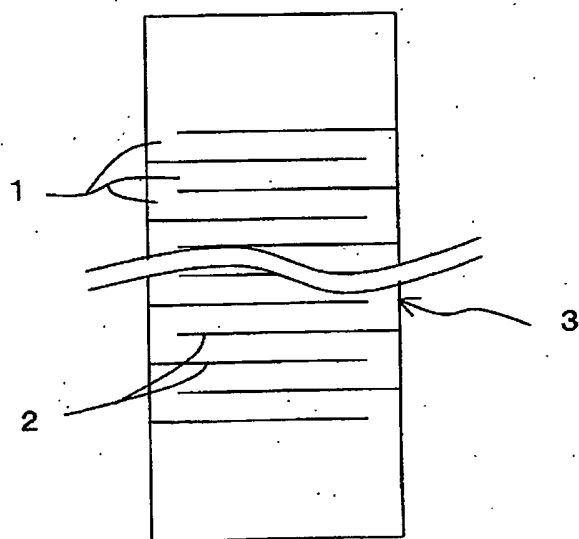
【図2】



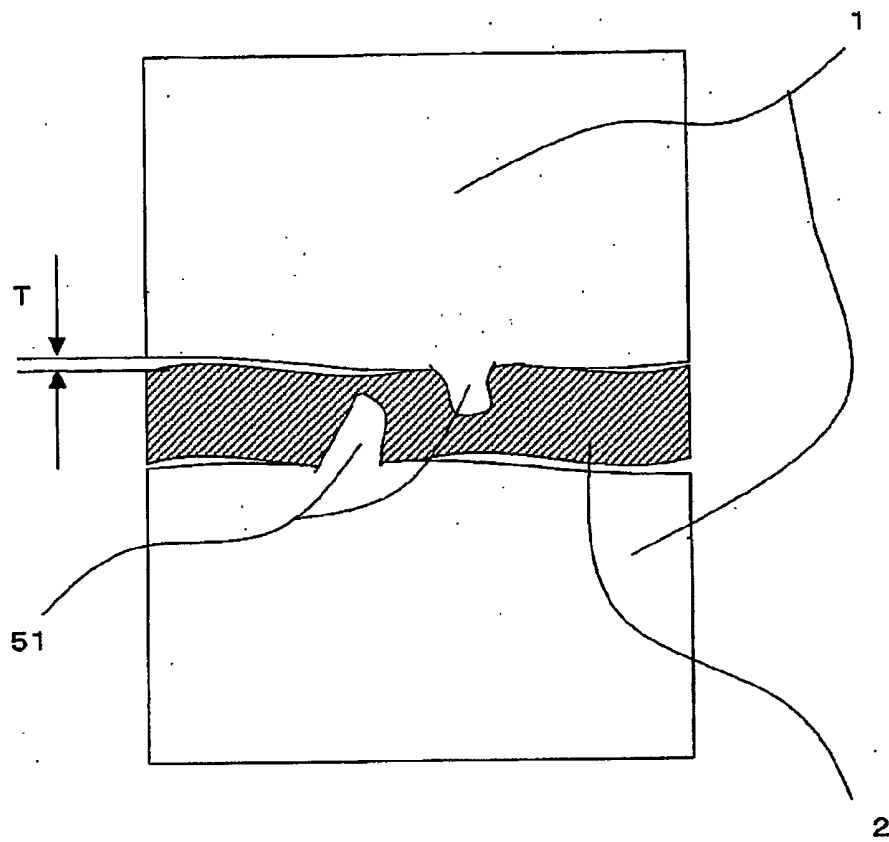
【図 3】



【図 4】



【図 5】



【書類名】 要約書**【要約】**

【課題】 デラミネーション、クラック等の発生を抑制することができ、高信頼性を有する積層型電子部品の製造方法を提供する。

【解決手段】 複数のセラミック層と複数の内部電極とを交互に積層してなる柱状積層体と、該柱状積層体の側面に設けられ、前記内部電極が一層おきに交互に接続される一対の外部電極とを具備してなる積層型圧電素子であって、前記内部電極とセラミック層との隙間が $2\mu\text{m}$ 以下である部分が、実質的に活性な部分の 50% 以上である。

【選択図】 図 1

特願 2 0 0 3 - 2 0 2 7 3 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 6 6 3 3]

1. 変更年月日

1 9 9 8 年 8 月 2 1 日

[変更理由]

住所変更

住 所

京都府京都市伏見区竹田鳥羽殿町 6 番地

氏 名

京セラ株式会社